

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-257310

(P2001-257310A)

(43)公開日 平成13年9月21日(2001.9.21)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 25/065
25/07
25/18
23/12

H 0 1 L 25/08
23/12

Z
L

審査請求 未請求 請求項の数13 O L (全 16 頁)

(21)出願番号 特願2000-71027(P2000-71027)

(22)出願日 平成12年3月9日(2000.3.9)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 高橋 義和

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 大角 卓史

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100095957

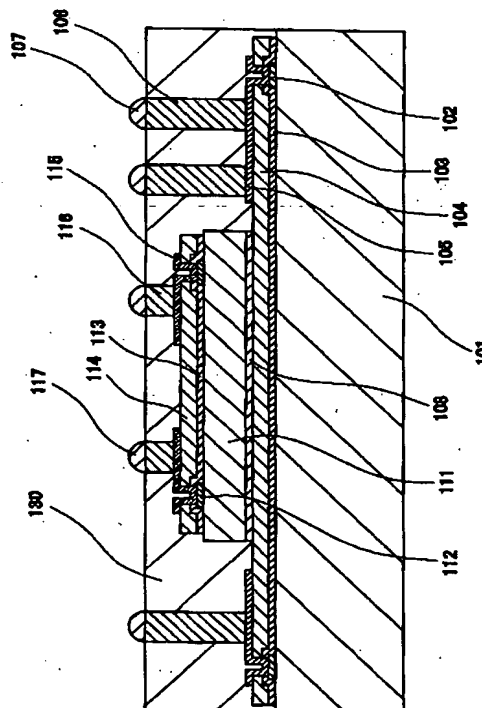
弁理士 亀谷 美明 (外3名)

(54)【発明の名称】 半導体装置およびその製造方法およびその試験方法

(57)【要約】

【課題】 インターポーザーを内蔵しないCSPにおいてMCP化が可能な半導体装置、その製造方法、その試験方法を提供すること。

【解決手段】 1つのパッケージに複数のICチップを内蔵し、その中で最大のICチップ101のサイズをパッケージのサイズとする。ICチップ101上に、ICチップ101の内部集積回路と電氣的に接続されたパッド102、パッド102上に開口部を有する2層の表面保護膜103、104を設ける。パッド102からパッケージ外部へ接続できるよう導体105、導体106、接続材料107を設ける。表面保護膜104上に別のICチップ111をダイボンディング材料108にてダイボンディングする。ICチップ111上にも同様に、パッド112、表面保護膜113、114、導体115、導体116、接続材料117を設ける。



【特許請求の範囲】

【請求項1】 半導体集積回路が形成された複数のＩＣチップを１つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のＩＣチップの中で最大のＩＣチップのサイズと同等であることを特徴とする半導体装置。

【請求項2】 前記最大のＩＣチップを支持基板として、前記内蔵されるその他のＩＣチップの少なくとも１つをダイボンディングし、前記最大のＩＣチップおよびダイボンディングされた前記ＩＣチップから前記パッケージ外部へ導体を形成し、前記パッケージ内において前記最大のＩＣチップと前記ダイボンディングされたＩＣチップは電氣的に絶縁されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記最大のＩＣチップを支持基板として、前記内蔵されるその他のＩＣチップの少なくとも１つをダイボンディングし、前記最大のＩＣチップからパッケージ外部へ少なくとも１つの導体を形成し、前記パッケージ内において前記導体のうちの少なくとも１つおよび前記最大のＩＣチップおよび前記ダイボンディングされたＩＣチップは電氣的に接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記支持基板上に絶縁物質を設け、前記絶縁物質に前記内蔵されるその他のＩＣチップと同等サイズの孔を設け、前記内蔵されるその他のＩＣチップは、前記孔内に埋め込まれるよう構成されることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記最大のＩＣチップを支持基板として、前記内蔵されるその他のＩＣチップの少なくとも１つをフェイスダウン実装し、前記最大のＩＣチップから前記パッケージ外部へ少なくとも１つの導体を形成し、前記パッケージ内において前記導体のうちの少なくとも１つおよび前記最大のＩＣチップおよび前記フェイスダウン実装されたＩＣチップは電氣的に接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記最大のＩＣチップを支持基板として、前記内蔵されるその他のＩＣチップの少なくとも１つをフェイスダウン実装し、前記最大のＩＣチップから前記パッケージ外部へ少なくとも１つの導体を形成し、前記パッケージ内において前記最大のＩＣチップおよび前記フェイスダウン実装されたＩＣチップは電氣的に接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項7】 前記最大のＩＣチップを支持基板として、前記内蔵されるその他のＩＣチップの少なくとも１つを実装し、前記実装されるＩＣチップにおいてその半導体基板を貫通する貫通電極を形成し、前記実装されるＩＣチップの一方の側には前記貫通電極から前記支持基板に接続する導体、他方の側には前記貫通電極からパッケージ外部への導体を形成したことを特徴とする請求項

1に記載の半導体装置。

【請求項8】 半導体集積回路が形成された複数のＩＣチップを１つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のＩＣチップの中で最大のＩＣチップのサイズと同等である半導体装置の製造方法であって、前記内蔵される複数のＩＣチップに外部接続用の導体を形成し、内蔵される前記複数のＩＣチップの中で最大のＩＣチップを支持基板とし、前記支持基板となるＩＣチップの上に内蔵されるその他のＩＣチップを搭載し、樹脂封止し、研磨あるいはエッチングにより半導体パッケージの同一表面に前記外部接続用の導体を露出させることを特徴とする半導体装置の製造方法。

【請求項9】 半導体集積回路が形成された複数のＩＣチップを１つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のＩＣチップの中で最大のＩＣチップのサイズと同等である半導体装置の製造方法であって、前記最大のＩＣチップとなるＩＣが形成されたウエハ上に外部接続用の導体を形成し、前記最大のＩＣチップ以外の前記内蔵されるＩＣチップに外部接続用の導体を形成し、前記ウエハ上に前記最大のＩＣチップ以外の前記内蔵されるＩＣチップを搭載し、樹脂封止し、研磨あるいはエッチングにより半導体パッケージの同一表面に前記外部接続用の導体を露出させ、前記ウエハを切断してＩＣチップを個片化することを特徴とする半導体装置の製造方法。

【請求項10】 前記最大のＩＣチップ以外の前記内蔵されるＩＣチップの少なくとも１つをフェイスダウン実装にて搭載することを特徴とする請求項8、9のいずれか1項に記載の半導体装置の製造方法。

【請求項11】 半導体集積回路が形成された複数のＩＣチップを１つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のＩＣチップの中で最大のＩＣチップのサイズと同等である半導体装置の製造方法であって、前記最大のＩＣチップとなるＩＣが形成されたウエハ上に、前記最大のＩＣチップ以外の前記内蔵されるＩＣチップを搭載し、前記ウエハおよび前記搭載されたＩＣチップの表面に同時に導体形成およびそのパターニングを施す工程を含むことを特徴とする半導体装置の製造方法。

【請求項12】 半導体集積回路が形成された複数のＩＣチップを１つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のＩＣチップの中で最大のＩＣチップのサイズと同等である半導体装置の試験方法であって、１つのパッケージ内に複数のＩＣチップが内蔵された状態で電氣的検査を行う半導体装置の試験方法。

【請求項13】 半導体集積回路が形成された複数のＩＣチップを１つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のＩＣチップの中で最大のＩＣチップのサイズと同等である半導体装置の試

験方法であって、前記最大のＩＣチップとなるＩＣが形成されたウエハ上に、前記最大のＩＣチップ以外の前記内蔵されるＩＣチップを搭載し、樹脂封止した後、ＩＣチップを個片化する前に電氣的検査を行う半導体装置の試験方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、チップサイズパッケージを用い、マルチチップ化した半導体装置およびその製造方法およびその試験方法に関するものである。

【０００２】

【従来の技術】近年の電子機器の小型化に伴い、半導体装置を実装する際、高密度実装を可能にするさまざまな方法が検討されている。そのなかで、半導体装置の小型化と、複数の部品実装の高密度化を進める方法がある。半導体装置の小型化については、ＩＣチップを内蔵する半導体パッケージの小型化が検討され、ＩＣチップとほぼ同一のサイズをもつチップサイズパッケージ（以下、ＣＳＰと略す）と称する半導体パッケージがある。複数の部品実装の高密度化については、複数のＩＣチップやその他の部品を単一のモジュールあるいはパッケージに内蔵した、マルチチップモジュール（以下、ＭＣＭと略す）あるいはマルチチップパッケージ（以下、ＭＣＰと略す）がある。

【０００３】従来のＣＳＰの構造の一例を図１７に示す。ＩＣチップ１上にはアルミ電極パッド２が形成されている。アルミ電極パッド２は、ＩＣチップ１の内部集積回路と電氣的に接続されている。アルミ電極パッド２に接続して、その上には、柱状の導体である銅ポスト５が形成されている。樹脂３０は、上記導体およびＩＣチップ１の少なくとも集積回路形成面を封止している。

【０００４】銅ポスト５上および、樹脂３０上の所定位置には、表面に金、スズ等のメッキが施された再配線パターン６が間隔をおいて複数形成されている。再配線パターン６上には、外部接続端子用のハンダボール７が形成されている。アルミ電極パッド２、銅ポスト５、再配線パターン６、ハンダボール７は電氣的に接続されている。これにより、ＩＣチップ１の内部集積回路は外部基板と電氣的に接続可能となっている。このようにして、ＩＣチップ１とほぼ同一サイズのパッケージを構成している。

【０００５】

【発明が解決しようとする課題】しかしながら、上記のＣＳＰの中でも、特にインターポーザーと称する中間基板を内蔵しないＣＳＰは、その外形サイズと構造から複数のＩＣチップを内蔵できず、ＭＣＰ化するのが困難であった。そのため、実装基板上の複数の半導体パッケージを電氣的に配線する場合、配線長が長くなり、高密度実装のみならず最終的な電子機器の高速化という点においても障害になっていた。

【０００６】一方、インターポーザーを内蔵する半導体パッケージにおいては、複数のＩＣチップをインターポーザー上に実装可能であるが、パッケージサイズがＩＣチップより大きくなり、さらにインターポーザーを内蔵するためパッケージのコストが高価になるという問題があった。

【０００７】本発明は、このような問題に鑑みてなされたもので、その目的とするところは、インターポーザーを内蔵しないＣＳＰにおいてＭＣＰ化が可能な半導体装置およびその製造方法およびその試験方法を提供することにある。

【０００８】

【課題を解決するための手段】上記課題を解決するために、本発明は、請求項１に記載のように、半導体集積回路が形成された複数のＩＣチップを１つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のＩＣチップの中で最大のＩＣチップのサイズと同等であることを特徴とする半導体装置を提供する。これにより、高密度実装が可能になり、また、複数のＩＣチップを同時に実装できるので、実装加工工程が少なくなりコストを低減できる。

【０００９】その際に、請求項２に記載のように、前記最大のＩＣチップを支持基板として、前記内蔵されるその他のＩＣチップの少なくとも１つをダイボンディングし、前記最大のＩＣチップおよびダイボンディングされた前記ＩＣチップから前記パッケージ外部へ導体を形成し、前記パッケージ内において前記最大のＩＣチップと前記ダイボンディングされたＩＣチップは電氣的に絶縁されているように構成すれば、本半導体装置を外部基板に実装した際に、その外部基板を経由して本半導体装置の支持基板とその他の内蔵されるＩＣチップを接続することができる。

【００１０】あるいは、請求項３に記載のように、前記最大のＩＣチップを支持基板として、前記内蔵されるその他のＩＣチップの少なくとも１つをダイボンディングし、前記最大のＩＣチップからパッケージ外部へ少なくとも１つの導体を形成し、前記パッケージ内において前記導体のうちの少なくとも１つおよび前記最大のＩＣチップおよび前記ダイボンディングされたＩＣチップは電氣的に接続されているように構成することも可能である。この場合、ダイボンディングされたＩＣチップの裏面が接続されるようにすれば、そのＩＣチップの裏面電位を固定することができ、半導体装置の安定した機能が得られる。もしくは、ダイボンディングされたＩＣチップの内部集積回路が接続されるようにすれば、パッケージ内部の複数のＩＣチップ間の電氣的接続を短い配線により行うことが可能になり、半導体装置の高速化が図れる。

【００１１】その際に、請求項４に記載のように、前記支持基板上に絶縁物質を設け、前記絶縁物質に前記内蔵

されるその他のICチップと同等サイズの孔を設け、前記内蔵されるその他のICチップは、前記孔内に埋め込まれるよう構成すれば、支持基板となるICチップにダイボンディングされるICチップの厚みによって生じる段差を低減することができる。この絶縁物質は絶縁性のある表面保護膜であってもよい。これより、個片化されたICチップを個片化される前のウエハ状態のICへ搭載する製造方法を選択する際、一括して導体形成およびそのパターニングを施すことができ、導体の形成が容易になる。また、半導体パッケージの内部の樹脂封止される面がより平坦化されるため樹脂封止が容易になる。

【0012】また、請求項5に記載のように、前記最大のICチップを支持基板として、前記内蔵されるその他のICチップの少なくとも1つをフェイスダウン実装し、前記最大のICチップから前記パッケージ外部へ少なくとも1つの導体を形成し、前記パッケージ内において前記導体のうちの少なくとも1つおよび前記最大のICチップおよび前記フェイスダウン実装されたICチップは電氣的に接続されているよう構成すれば、支持基板以外の内蔵されるICチップに対する加工が簡素化できる。

【0013】さらに、請求項6に記載のように、前記最大のICチップを支持基板として、前記内蔵されるその他のICチップの少なくとも1つをフェイスダウン実装し、前記最大のICチップから前記パッケージ外部へ少なくとも1つの導体を形成し、前記パッケージ内において前記最大のICチップおよび前記フェイスダウン実装されたICチップは電氣的に接続されるように構成すれば、パッケージ内において、内蔵される複数のICチップを接続でき、特に支持基板以外の内蔵される複数のチップ間を支持基板となるICチップを介して接続することができる。

【0014】さらに、請求項7に記載のように、前記最大のICチップを支持基板として、前記内蔵されるその他のICチップの少なくとも1つを実装し、前記実装されるICチップにおいてその半導体基板を貫通する貫通電極を形成し、前記実装されるICチップの一方の側には前記貫通電極から前記支持基板に接続する導体、他方の側には前記貫通電極からパッケージ外部への導体を形成するように構成すれば、支持基板以外の内蔵されるICチップから直接パッケージ外部へ接続することができ、より多ピン化された半導体装置を提供できる。

【0015】本発明の別の観点によれば、請求項8に記載のように、半導体集積回路が形成された複数のICチップを1つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のICチップの中で最大のICチップのサイズと同等である半導体装置の製造方法であって、前記内蔵される複数のICチップに外部接続用の導体を形成し、内蔵される前記複数のICチップの中で最大のICチップを支持基板とし、前記支持基板

となるICチップの上に内蔵されるその他のICチップを搭載し、樹脂封止し、研磨あるいはエッチングにより半導体パッケージの同一表面に前記外部接続用の導体を露出させることを特徴とする半導体装置の製造方法が提供される。これにより、個片化されたICチップ上に別の個片化されたICチップを搭載するので、個片化される前に隣接していたICチップに傷をつけるなどの不具合がなくなる。また、樹脂封止後、研磨あるいはエッチングを行うことで半導体パッケージの同一表面に外部接続用の導体を均一に露出させることが容易になる。

【0016】また、本発明の別の観点によれば、請求項9に記載のように、半導体集積回路が形成された複数のICチップを1つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のICチップの中で最大のICチップのサイズと同等である半導体装置の製造方法であって、前記最大のICチップとなるICが形成されたウエハ上に外部接続用の導体を形成し、前記最大のICチップ以外の前記内蔵されるICチップに外部接続用の導体を形成し、前記ウエハ上に前記最大のICチップ以外の前記内蔵されるICチップを搭載し、樹脂封止し、研磨あるいはエッチングにより半導体パッケージの同一表面に前記外部接続用の導体を露出させ、前記ウエハを切断してICチップを個片化することを特徴とする半導体装置の製造方法が提供される。これにより、製造工程がウエハ単位で一括して行えるので、製造が容易になる。なお、最大のICチップ以外の内蔵されるICチップを搭載する際、請求項10に記載のように、フェイスダウン実装にて搭載してもよい。

【0017】さらにまた、本発明の別の観点によれば、請求項11に記載のように、半導体集積回路が形成された複数のICチップを1つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のICチップの中で最大のICチップのサイズと同等である半導体装置の製造方法であって、前記最大のICチップとなるICが形成されたウエハ上に、前記最大のICチップ以外の前記内蔵されるICチップを搭載し、前記ウエハおよび前記搭載されたICチップの表面に同時に導体形成およびそのパターニングを施す工程を含むことを特徴とする半導体装置の製造方法が提供される。

【0018】さらにまた、本発明の別の観点によれば、請求項12に記載のように、半導体集積回路が形成された複数のICチップを1つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のICチップの中で最大のICチップのサイズと同等である半導体装置の試験方法であって、1つのパッケージ内に複数のICチップが内蔵された状態で電氣的検査を行う半導体装置の試験方法が提供される。MCP化された半導体装置で電氣的試験を行うことにより、内蔵される複数のIC間の電氣的接続、および組み合わせて初めて確認可能な機能の試験が可能になる。また、この方法によれ

ば、不良品が発生した場合は直ちに良品と分別できる。

【0019】さらにまた、本発明の別の観点によれば、請求項13に記載のように、半導体集積回路が形成された複数のICチップを1つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のICチップの中で最大のICチップのサイズと同等である半導体装置の試験方法であって、前記最大のICチップとなるICが形成されたウエハ上に、前記最大のICチップ以外の前記内蔵されるICチップを搭載し、樹脂封止した後、ICチップを個片化する前に電氣的検査を行う半導体装置の試験方法が提供される。この方法では、いわゆるブローピング方式が応用可能で、特殊な治具の準備を必要としない。

【0020】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態を詳細に説明する。なお、以下の説明および添付図面において、略同一の機能および構成を有する構成要素については、同一符号を付すことにより重複説明を省略する。

【0021】図1は本発明の第1の実施の形態を示す構造断面図である。支持基板となるICチップ101上に別のICチップ111がダイボンディングされてパッケージに内蔵されている。支持基板となるICチップ101とパッケージのサイズは同等である。

【0022】ICチップ101上にはパッド102と、2層の表面保護膜103、104が形成されている。パッド102はICチップ101の内部集積回路と電氣的に接続されている。表面保護膜103および104は、集積回路の表面保護のためのものであり、パッド102上に開口部を有する。さらに、パッド102に接続し表面保護膜104上に導体105、導体105に接続して柱状の導体106、導体106上に接続材料107が形成されている。

【0023】導体105、106によりパッド102からパッケージの外部端子へ電氣的に接続でき、接続材料107により、パッケージを外部基板（図示せず）に接続できる。すなわち、一連の接続されたパッド102、導体105、106、接続材料107により、ICチップ101の内部集積回路と外部基板とを電氣的に接続できる。

【0024】表面保護膜104上には、ダイボンディング材料108を介してICチップ111がダイボンディングされている。ICチップ111は、支持基板となるICチップ101とは別のチップであり、ICチップ101より小さく、かつ同一パッケージに内蔵できる程薄く研削されている。

【0025】ICチップ111上にはパッド112と、2層の表面保護膜113、114が形成されている。パッド112はICチップ111の内部集積回路と電氣的に接続されている。表面保護膜113および114は、

集積回路の表面保護のためのものであり、パッド112上に開口部を有する。さらに、パッド112に接続し表面保護膜114上に導体115、導体115に接続して柱状の導体116、導体116上に接続材料117が形成されている。そして、樹脂130は全てのICチップの少なくとも集積回路形成面を封止している。

【0026】導体115、116によりパッド112からパッケージの外部端子へ電氣的に接続でき、接続材料117により、パッケージを外部基板へ接続できる。すなわち、一連の接続されたパッド112、導体115、116、接続材料117により、ICチップ111の内部集積回路とパッケージの外部基板とを電氣的に接続できる。

【0027】表面保護膜103、104および113、114は、それぞれICチップ101および111の表面保護膜である。ここでは表面保護膜103および113はシリコン酸化膜もしくはシリコン窒化膜とし、表面保護膜104および114はポリイミドなどの高分子樹脂からなる膜とする。これらの表面保護膜は単層構成でもよいが複合層構成にすることにより、ICチップ上の導体形成やダイボンディングなどの加工の影響、およびパッケージを基板へ接続した後の熱応力の影響から集積回路をより保護できる。

【0028】導体105、115は、それぞれパッド102と導体106、パッド112と導体116を結ぶ導体配線である。ここではチタンおよび銅からなる複合層構成の金属材料によるものとする。この場合、チタン層はパッドや表面保護膜との密着性や拡散防止機能のために形成され、銅層は主として電氣的な接続材料としての機能のために形成する。無論、単層構成でもよいし材料構成を問うものではない。複合層構成の場合の材料構成例については、クロム-銅、クロム-金、ニッケル-銅、ニッケル-金、チタン/タングステン-銅、チタン/タングステン-金等さまざまなものが考えられる。

【0029】導体106、116は、それぞれ導体105、115からパッケージ外部へ電氣的接続を施すための導体で、少なくとも樹脂130よりその一部が露出している必要がある。材料としては電気抵抗の低い材料が好ましく銅、金、アルミニウムなどが挙げられる。

【0030】なお、図1では支持基板となるICチップ以外の内蔵ICチップは、ICチップ111の1つしか示していないが、複数のICチップであってもよい。この点は、以下に述べる実施の形態についても同様である。ここで、支持基板となるICチップ101をロジック系チップとし、内蔵されるICチップ111をメモリ系チップとすれば、ロジック系とメモリ系の混載が可能となる。またICチップの組み合わせは上記に限定されるものではなく、メモリ系の半導体素子同士、ロジック系半導体素子同士でも可能である。

【0031】図8は、図1に示した構造の半導体パッケ

ージを実装基板に実装した図である。ICチップ101, 111を内蔵した半導体装置100が、実装基板150に実装基板上配線151により実装されている。なお、図8では半導体装置100の上下は図1とは逆になっている。半導体装置100を実装基板150に実装することにより、ICチップ101, 111が実装基板上配線151に電氣的に接続される。半導体装置100単体の状態ではICチップ101, 111間は電氣的には直接接続されていないが、実装基板150に実装した状態では実装基板上配線151を介して、ICチップ101とICチップ111は接続されている。

【0032】以下に、図9を参照しながら、ICチップ101にICチップ111を搭載する方法を説明する。まず、ICチップ101においては、パッド102, 表面保護膜103, 104, 導体105, 106が形成された状態、ICチップ111においては、パッド112, 表面保護膜113, 114, 導体115, 116が形成された状態のものを準備する。ここで、ICチップ101は既にダイシングされ個片化されたものでもダイシング前のウエハ状態でもかまわない。

【0033】ICチップ101へICチップ111をダイボンディングする際、ICチップ101が個片化されたICチップの場合は、図9(1)に示すように、個片化されたICチップ199を個片化されたICチップ191上にダイボンディング材料108でボンディングすることになる。ICチップ101がダイシング前のウエハ状態であれば図9(2)に示すように、個片化されたICチップ199をウエハ181上にダイボンディング材料108でボンディングすることになる。

【0034】半導体パッケージには可能限界までの小型化が要求されるので、ICチップ101とICチップ111は可能な限り薄く並行にダイボンディングされることが望まれる。したがって、ダイボンディング材料108は薄くかつ均一な厚さが得られるものが好ましい。ダイボンディング材料108は、銀を主材料とする導電性ペーストや液状ポリイミド、シート状接着剤などさまざまなものが考えられる。

【0035】個片化されたICチップを支持基板となるICチップへ搭載する場合は、これら2つのICチップに傷が生じるなどの心配がない。一方、個片化されたICチップを個片化される前のウエハ状態のICへ搭載する場合は、以後の工程をウエハ単位で一括処理できるので製造が容易になるという利点がある。

【0036】次に、図10を参照しながら、半導体パッケージの外部へ電氣的接続を施すための柱状の導体106および116において、パッケージの同一表面に導体を露出させる方法について述べる。前述したICチップ101にICチップ111を搭載すると、その上に形成されている導体106および116は、一般に図10に示すように高さが不揃いとなる。柱状の導体106およ

び116の形成は、厚膜レジストでパターンを形成しメッキにより行うか、既存の微細な柱状部品を接着・固定することにより行われる。しかし、ICチップ101にICチップ111を搭載した時に導体106および116の最上面が同一表面に均一に露出するように、上記の導体形成時に導体106および116の高さをあらかじめ調整するのは困難である。

【0037】よって、ICチップ101にICチップ111を搭載し、導体106および116の高さが不揃いの状態で、両者の最上面より高い面1001まで樹脂130により封止する。次に、樹脂130を1002の面まで研磨もしくはエッチングする。この時、導体106および116も同時に研磨もしくはエッチングする。これにより、各IC上に形成された柱状の導体106および116を、パッケージの同一表面に露出することができる。

【0038】次に、本発明で提供するMCP化された半導体装置の電氣的試験方法について説明する。これには、半導体装置の状態により2つの方法が考えられる。1つは、MCP化された半導体装置が個片化された状態であり、その個片化された1つのパッケージ毎に試験する方法である。もう1つの方法は、支持基板となるICがウエハの状態であり、かつ内蔵されるICチップが搭載され樹脂封止され柱状導体が露出した時点で試験する方法である。

【0039】前者の試験方法は、個別に試験を行うことができるので、確実に試験が行われ、不良品については判明した時点で良品と分別可能である。後者の試験方法は、いわゆるブローピング方式が応用可能で、前者の試験方法と比較すると特別な試験用ソケットなどの特殊な治具を準備する必要がない。いずれにしても、内蔵される各ICを個々に試験した後組み合わせるだけではなく、MCP化された半導体装置で電氣的試験を行うことにより、内蔵される複数のIC間の電氣的接続、および組み合わせで初めて確認可能な機能の試験が可能になる。

【0040】以上より、本実施の形態によれば、以下に述べる多数の効果が得られる。インターポーザーを使用することなく、複数のICチップを内蔵できるMCPであり、かつそのパッケージサイズは内蔵されるICチップの中で最大のものと同サイズでよいので、実装基板上に高密度実装が可能になる。また、複数のICチップが半導体パッケージに内蔵され、全て樹脂封止されているので、パッケージ外部に別のICチップを装着したものに比較して耐湿性等における信頼性が高い。複数のICチップを同時に実装できるので、実装基板に対する実装加工工程が少なくなりコストが低減できる。実装基板に1つのMCPを実装することにより、内蔵された複数のICチップを同時に電氣的に接続することができる。

【0041】また、支持基板となるICが個片化された

状態の場合は、個片化されたICチップ上に別の個片化されたICチップを搭載するので、個片化される前に隣接していたICチップに傷をつけるなどの不具合がなくなる。支持基板となるICがウエハ状態の場合は、ウエハ上に複数の個片化されたICチップを搭載し、以後の工程となる樹脂封止および導体露出、端子処理をウエハ単位で一括処理できるので、製造が容易になる。

【0042】支持基板となるIC上に複数の個片化されたICチップを搭載し、樹脂封止後各IC上に形成された柱状の導体を樹脂とともに研磨しあるいはエッチングすることにより、容易に半導体パッケージの同一表面に柱状の導体を均一に露出させることができる。

【0043】1つの半導体パッケージに複数のICチップが内蔵された状態で電氣的検査を行う試験方法を採用することにより、確実に試験が行われるとともに不良品についてはその時点で良品と分別することが可能である。支持基板となるICがウエハの状態であり、他の個片化されたICチップを搭載し、樹脂封止し、支持基板となるICを個片化する前に電氣的検査を行う試験方法の場合は、いわゆるブローピング方式が応用可能で前者の試験方法と比較して特別に試験用ソケットなど特殊な治具の準備を必要としない。MCP化された半導体装置で電氣的試験を行うことにより、内蔵される複数のIC間の電氣的接続、および組み合わせて初めて確認可能な機能の試験が可能になる。

【0044】図2は、本発明の第2の実施の形態を示す構造断面図である。本実施の形態では、導体105の1つが導体205に代替されている。導体205はICチップ111のダイボンディング領域まで延長され、その上にICチップ111がダイボンディング材料208によりボンディングされている。ダイボンディング材料208は導電性を有する。

【0045】このような構造により、ICチップ111の裏面は、接続材料107およびICチップ101の内部集積回路と、ダイボンディング材料208、導体205を介して電氣的に接続されている。よって、図2で示す半導体装置を実装基板に接続すると、接続材料107、導体205、ダイボンディング材料208を介してICチップ111の裏面電位を固定できる。

【0046】本実施の形態によれば、第1の実施の形態の効果に加えて、半導体パッケージに内蔵されるICチップの裏面電位を固定することができ、半導体装置の安定した機能が得られる。

【0047】図3は、本発明の第3の実施の形態を示す構造断面図である。本実施の形態では、第1の実施の形態における導体105および115に代わり、導体305および315が設けられ、そして新たにICチップ111の側面に絶縁材料309が設けられている。導体305および315は延長され絶縁材料309の表面を介して接続されている。

【0048】導体305および315が接続されたことにより、支持基板となるICチップ101と内蔵されるICチップ111がパッケージ内部で電氣的に接続される。また、ICチップ101上に複数のICチップをダイボンディングする場合、それらのICチップにも導体305および315と同様の導体を設け、適宜配置することにより、支持基板以外の内蔵される複数のICチップ間を電氣的に接続することができる。なお、本実施の形態においては導体116、接続材料117は必ずしも必要ではない。

【0049】本実施の形態によれば、第1の実施の形態の効果に加えて、半導体パッケージに内蔵される複数のICチップ間の電氣的接続を半導体パッケージ内部で施すことが可能である。これにより、内蔵されるICチップ間の電氣的接続を考慮した配線を、半導体装置を接続する接続基板上に形成する必要がない。また、半導体パッケージに内蔵される複数のICチップ間の電氣的接続がより短い配線を使用し施すことが可能になるため、半導体装置の高速化が図れる。

【0050】図4は、本発明の第4の実施の形態を示す構造断面図である。本実施の形態ではさらに、表面保護膜104に代わり表面保護膜104よりも厚みを増した表面保護膜404を設けている。そして、表面保護膜404は、ICチップ111と同等サイズの孔部、およびパッド102上に設けられた開口部を有する。ICチップ111は、孔部に埋め込まれてダイボンディングされる。導体405はパッド102に接続した後は表面保護膜404の表面上を延長し、導体415と接続している。ここで、表面保護膜404の材料としてはポリイミドなどの高分子樹脂を用いている。

【0051】導体405および415が接続されたことにより、支持基板となるICチップ101と内蔵されるICチップ111がパッケージ内部で電氣的接続される。また、ICチップ101上に複数のICチップをダイボンディングする場合、それら複数の内蔵されるICチップ間も、支持基板となるICチップの表面に形成される導体を介して電氣的に接続される。さらに、厚みを増した表面保護膜404に孔部を設けその中にICチップ111を埋め込むようにしたことにより、支持基板となるICチップ101にダイボンディングされるICチップ111の厚さによって生じる段差を少なくとも第3の実施の形態に比較して改善できる。

【0052】このような構造は、個片化されたICチップを個片化される前のウエハ状態のICへ搭載する製造方法を選択する場合に有利となる。というのは、ウエハおよびICチップ111の表面に同時に導体形成およびそのパターニングを施すことができ、導体405と415を電氣的に接続する構造の形成が一括して行えるからである。また、半導体パッケージの内部の樹脂封止される面がより平坦化されるため、樹脂130による封止も

容易になる。なお、本実施の形態においては導体116、接続材料117は必ずしも必要ではない。

【0053】本実施の形態によれば、第3の実施の形態の効果に加えて、支持基板となるICチップにダイボンディングされるICチップの厚さによって生じる段差が改善されているため、支持基板となるICチップ上の導体と内蔵されるそれ以外のICチップ上の導体を電氣的に接続する構造の形成が容易になる。また、樹脂封止も容易になる。

【0054】図5は、本発明の第5の実施の形態を示す構造断面図である。本実施の形態が前述の実施の形態と大きく異なる点は、支持基板となるICチップ101上に、別のICチップ511がフェイスダウンボンディングされてパッケージに内蔵されている点である。ICチップ511は、支持基板となるICチップ101とは別のチップであり、ICチップ101より小さく、かつ同一パッケージに内蔵できる程薄く研削されている。

【0055】ICチップ511にはパッド512と、表面保護膜513が形成されている。パッド512はICチップ511の内部集積回路と電氣的に接続されている。表面保護膜513は、集積回路の表面保護のためのものであり、ICチップ512表面を覆い、パッド512上に開口部を有する。さらに、パッド512に接続し表面保護膜513の外側に電極接続材料518が形成されている。電極接続材料518としては、例えばバンプ電極や印刷などで形成される導電性樹脂などを用いることができる。ICチップ101のパッド102に接続している導体505は、第1の実施の形態の導体105に比べ延長されて形成され、電極接続材料518と電氣的に接続されている。

【0056】導体505と電極接続材料518が接続されたことにより、支持基板となるICチップ101と内蔵されるICチップ511がパッケージ内部で電氣的接続される。また、支持基板となるICチップ101以外の複数の内蔵されるチップ間も、支持基板となるICチップの表面に形成される導体を介して電氣的接続される。また、ICチップ511は、電極接続材料518により外部端子と接続するため、前述の実施の形態で用いた導体115、116、接続材料117等が不要になる。また、導体115、116がないため、1層の表面保護膜513だけで十分となり、表面保護膜114も不要になる。

【0057】本実施の形態によれば、第1の実施の形態の効果に加えて、半導体パッケージに内蔵される複数のICチップ間の電氣的接続を半導体パッケージ内部で施すことが可能である。これにより、内蔵されるICチップ間の電氣的接続を考慮した配線を、半導体装置を接続する接続基板上に形成する必要がない。また、半導体パッケージに内蔵される複数のICチップ間の電氣的接続をより短い配線で行うことが可能になるため、半導体装

置の高速化が図れる。さらに、前述の実施の形態に比べ、半導体パッケージに内蔵される、支持基板になるICチップ以外のICチップに対する加工が簡素化できる。

【0058】図6は、本発明の第6の実施の形態を示す構造断面図である。本実施の形態も、第5の実施の形態と同様に、支持基板となるICチップ101上に、別のICチップ511がフェイスダウンボンディングされてパッケージに内蔵されている。ただし、本実施の形態では、ICチップ101上に新たに、パッド602、パッド602に接続して表面保護膜104上に導体605が形成されている。パッド602はICチップ101の内部集積回路と電氣的に接続されている。表面保護膜103および104は、パッド602上に開口部を有する。導体605は、ここではICチップ101とICチップ511の間に形成されており、ICチップ511の電極接続材料518と電氣的に接続されている。導体605は、導体105とは異なり、外部端子に接続可能な導体106および接続材料107とは接続されていない。パッド602は、導体605と電極接続材料518が接続されるのに好適な位置に配置される。

【0059】パッド602、導体605を設け、導体605と電極接続材料518が接続されたことにより、支持基板となるICチップ101と内蔵されるICチップ511がパッケージ内部で電氣的接続される。さらに、ICチップ101上に複数のICチップをボンディングする場合、それら複数の内蔵されるICチップ間を、導体605を介して電氣的に接続することができる。

【0060】本実施の形態によれば、第5の実施の形態の効果に加えて、支持基板になるICチップとそれ以外の半導体パッケージに内蔵されるICチップの間でそれぞれの内部集積回路の電氣的接続が可能であり、配線の自由度が高まり、より高密度な内部配線構造を提供できる。

【0061】図7は、本発明の第7の実施の形態を示す構造断面図である。本実施の形態も、第5、第6の実施の形態と同様に、支持基板となるICチップ101上に、別のICチップ711がフェイスダウンボンディングされてパッケージに内蔵されている。ただし、本実施の形態では、第5の実施の形態の構造に加えて、ICチップ711内部に、新たに貫通電極719を設ける。貫通電極719はICチップ711を貫通し、内部に導体720を有する。導体720は、ICチップ711の半導体基板とは絶縁されている。ここでは貫通電極719は貫通孔と貫通孔側壁に設けた導体720からなるものとして図示しているが、上記以外の構造であってもよい。例えば、ICチップ711を貫通する柱状の導体を設け、ICチップ711の半導体基板と絶縁するよう構成してもよい。

【0062】ICチップ101に対向するICチップ7

11の表面には、パッド712、表面保護膜513、電極接続材料518が形成されている。パッド712は、貫通電極719に接続し、かつICチップ101の内部集積回路と電氣的に接続されている。表面保護膜513は、ICチップ711表面を覆い、パッド712上に開口部を有する。電極接続材料518は、パッド712に接続し、かつICチップ101上の導体505にも接続している。

【0063】また、ICチップ711の裏面には、裏面電極722と、2層の表面保護膜713、714が形成されている。裏面電極722は、貫通電極719に電氣的に接続されている。表面保護膜713、714は、ICチップ711の裏面の形成された配線の表面保護のためのものであり、裏面電極722上に開口部を有する。さらに、裏面電極722に接続し表面保護膜714上に導体715、導体715に接続して柱状の導体116、導体116上に接続材料117が形成されている。

【0064】上記のような構成により、貫通電極719の一端は電極接続材料518、導体505を介してICチップ101に接続されており、他端はパッケージ外部への導体と接続されている。これより、ICチップ711から貫通電極719を通して直接パッケージ外部へ電氣的接続が可能になる。

【0065】本実施の形態によれば、第5の実施の形態の効果に加えて、支持基板になるICチップとそれ以外の半導体パッケージに内蔵されるICチップの間でそれぞれのICの電氣的接続が可能である。また、支持基板以外の内蔵されるICチップから、半導体パッケージ外部へ直接電氣的接続が可能になる。これより、多ピン化された半導体パッケージを提供することができ、配線の自由度が高まる。

【0066】上記では、接続材料107、117を設けた例について説明したが、導体106、116の表面は、樹脂130表面に露出しているため、接続材料107、117を省略した場合においても外部との電氣的接続は可能である。本発明の効果は得られる。接続材料107、117を省略した場合には、より低コストの半導体装置を提供できるという利点がある。

【0067】図11は本発明の第8の実施の形態を示す構造断面図である。これは、図17に示した従来のCSPに本発明を適用した例の1つである。支持基板となるICチップ801上に別のICチップ811がダイボンディングされてパッケージに内蔵されている。支持基板となるICチップ801とパッケージのサイズは同等である。

【0068】ICチップ801上にはアルミ電極パッド802が形成されている。アルミ電極パッド802は、ICチップ801の内部集積回路と電氣的に接続されている。アルミ電極パッド802に接続して、柱状の導体である銅ポスト805が形成されている。さらに、IC

チップ801上には、接着シート808を介してICチップ811が固定されている。ICチップ811は、支持基板となるICチップ801とは別のチップであり、ICチップ801より小さく、かつ同一パッケージに内蔵できる程薄く研削されている。ICチップ811上にはアルミ電極パッド812が形成されている。アルミ電極パッド812は、ICチップ811の内部集積回路と電氣的に接続されている。アルミ電極パッド812に接続して、金バンプ815が形成されている。

【0069】樹脂830は、全てのICチップの少なくとも集積回路形成面を封止している。樹脂830上の所定位置、および銅ポスト805上、金バンプ815上には、表面に金、スズ等のメッキが施された再配線パターン806が間隔をおいて複数形成されている。再配線パターン806上には、外部接続端子用のハンダボール807が形成されている。

【0070】銅ポスト805によりアルミ電極パッド802からパッケージの外部端子へ電氣的に接続でき、ハンダボール807により、パッケージを外部基板へ接続できる。すなわち、一連の接続されたアルミ電極パッド802、銅ポスト805、再配線パターン806、ハンダボール807により、ICチップ801の内部集積回路とパッケージの外部基板とを電氣的に接続できる。

【0071】同様に、金バンプ815によりアルミ電極パッド812からパッケージの外部端子へ電氣的に接続でき、ハンダボール807により、パッケージを外部基板へ接続できる。すなわち、一連の接続されたアルミ電極パッド812、金バンプ815、再配線パターン806、ハンダボール807により、ICチップ811の内部集積回路とパッケージの外部基板とを電氣的に接続できる。また、再配線パターン806、ハンダボール807により、ICチップ801とICチップ811を接続することもできる。以上より、本実施の形態によれば、第1の実施の形態と同様の効果が得られる。

【0072】以下に、図15を参照しながら、第8の実施の形態の製造方法の一例を示す。まず、ICチップ801においては、アルミ電極パッド802が形成された状態、ICチップ811においては、アルミ電極パッド812と、その上に金バンプ815が形成された状態のものを準備する。ここでは、ICチップ801については、個片化される前のウエハ状態の場合について説明する。図15(a)において、ウエハ881はICチップ801となる半導体素子が形成されたウエハであり、その上にはアルミ電極パッド802が形成されている。

【0073】次に図15(b)に示すように、アルミ電極パッド802上に銅ポスト805を形成する。銅ポスト805の形成は、ウエハ881全面への金属膜の蒸着、感光性レジストの塗布、パターニング、銅メッキ、感光性レジスト除去、余分な金属膜の剥離の工程を順に行うことにより得られる。次に図15(c)に示すよう

に、アルミ電極パッド812、金バンプ815が形成されたICチップ811を、接着シート808を用いてウエハ881に搭載する。

【0074】その後、図15(d)に示すように、ウエハ881上の全てを樹脂830で封止し、保護する。この状態では、銅ポスト805、金バンプ815とも、樹脂830内部に埋まっている。次に図15(e)に示すように、樹脂830の上面を銅ポスト805、金バンプ815が露出するまで削る。

【0075】次に図15(f)に示すように、樹脂830、銅ポスト805、金バンプ815上に再配線パターン806を形成する。再配線パターン806の形成は、樹脂830全面への金属膜の蒸着、感光性レジストの塗布、パターンニング、銅メッキ、感光性レジスト除去、余分な金属膜の剥離、無電解スズ(あるいは金)メッキの工程を順に行うことにより得られる。

【0076】次に図15(g)に示すように、再配線パターン806上にハンダボール807を形成する。最後にウエハをダイシングし、図15(h)に示すように個片化して第8の実施の形態のCSPが完成する。

【0077】図12は本発明の第9の実施の形態を示す構造断面図である。これも、図17に示した従来のCSPに本発明を適用した例の1つである。第8の実施の形態と大きく異なる点は、支持基板となるICチップ801上に別のICチップ911がフェイスダウンボンディングされてパッケージに内蔵されている点である。支持基板となるICチップ801とパッケージのサイズは同等である。ICチップ911は、支持基板となるICチップ801とは別のチップであり、ICチップ801より小さく、かつ同一パッケージに内蔵できる程薄く研削されている。

【0078】本実施の形態では、第8の実施の形態と比べ、アルミ電極パッド802に加え、アルミ電極パッド902が、ICチップ801上のICチップ911と対向する位置に形成されている。そして、アルミ電極パッド812に代わり、アルミ電極パッド912が、ICチップ911のICチップ801と対向する面に形成されている。アルミ電極パッド902とアルミ電極パッド912の間には、両者と接続して金バンプ915が形成されている。このように、ICチップ911をボンディングするにあたり、接着シート808を用いない構成となっている。また、ICチップ911と再配線パターン806を直接接続する導体はない。その他の構成は第8の実施の形態と同じである。

【0079】アルミ電極パッド802、902は、ICチップ801の内部集積回路と電気的に接続されている。アルミ電極パッド912は、ICチップ911の内部集積回路と電気的に接続されている。よって、ICチップ801とICチップ911の内部集積回路は、パッケージ内部で電気的に接続される。ICチップ911を

外部基板に接続したい場合は、ICチップ801および再配線パターン806、ハンダボール807を介して接続することが可能である。本実施の形態では、接着シート808を用いないため、安価なCSPを提供することができる。以上より、本実施の形態によれば、第5の実施の形態と同様の効果が得られる。

【0080】以下に、図16を参照しながら、第9の実施の形態の製造方法の一例を示す。まず、ICチップ801においては、アルミ電極パッド802、902が形成された状態、ICチップ911においては、アルミ電極パッド912と、その上に金バンプ915が形成された状態のものを準備する。ここでは、ICチップ801については、個片化される前のウエハ状態の場合について説明する。図16(a)において、ウエハ881はICチップ801となる半導体素子が形成されたウエハであり、その上にはアルミ電極パッド802、902が形成されている。

【0081】次に図16(b)に示すように、アルミ電極パッド802上に銅ポスト805を形成する。銅ポスト805の形成は、図15(b)での説明と同様に行う。次に図16(c)に示すように、アルミ電極パッド912、金バンプ915が形成されたICチップ911を、フェイスダウンボンディングによりウエハ881に搭載する。その後、図16(d)に示すように、ウエハ881上の全てを樹脂830で封止する。次に図16(e)に示すように、樹脂830の上面を銅ポスト805が露出するまで削る。

【0082】次に図16(f)に示すように、樹脂830、銅ポスト805上に再配線パターン806を形成する。再配線パターン806の形成は、図15(f)での説明と同様に行う。その後の図16(g)、図16(h)に示す工程は、図15(g)、図15(h)で説明したものと同じである。以上のようにして、第9の実施の形態のCSPが完成する。

【0083】図13は本発明の第10の実施の形態を示す構造断面図である。これは、第9の実施の形態からハンダボール807を無くしたものである。その他の構成は第9の実施の形態と同じである。ハンダボール807を省くことにより、更なる低コストのCSPを提供することができる。

【0084】図14は本発明の第11の実施の形態を示す構造断面図である。これは、フェイスダウンボンディングにより内蔵されるICチップの数を2つにしたものである。その他の構成は第9の実施の形態と同じである。内蔵されるICチップ921、931は、同一のものである。別のものでも構わない。また、内蔵されるICチップの数は、2つではなく、3つ以上でも構わない。内蔵されるICチップの数を増やすことにより、更なる高機能なCSPを提供することができる。

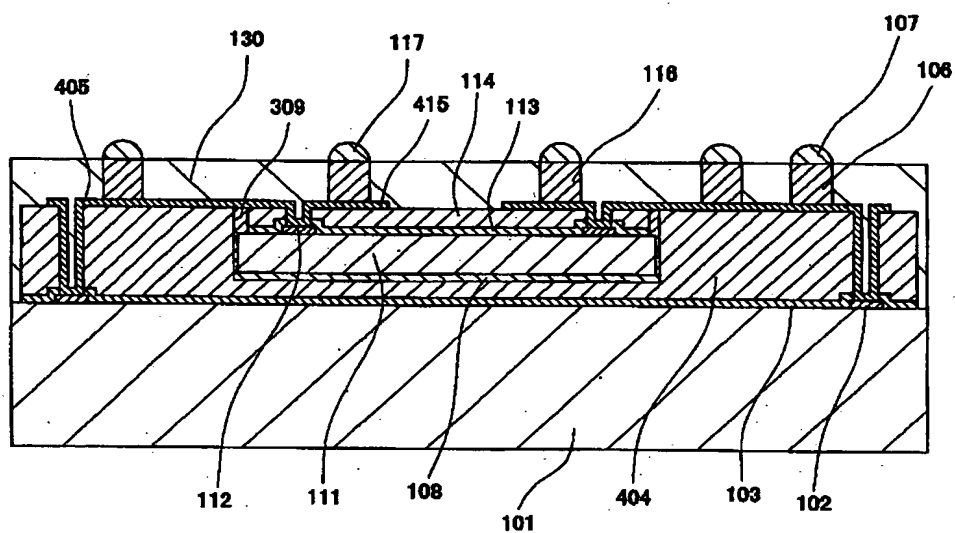
【0085】以上、添付図面を参照しながら本発明にか

[illegible]

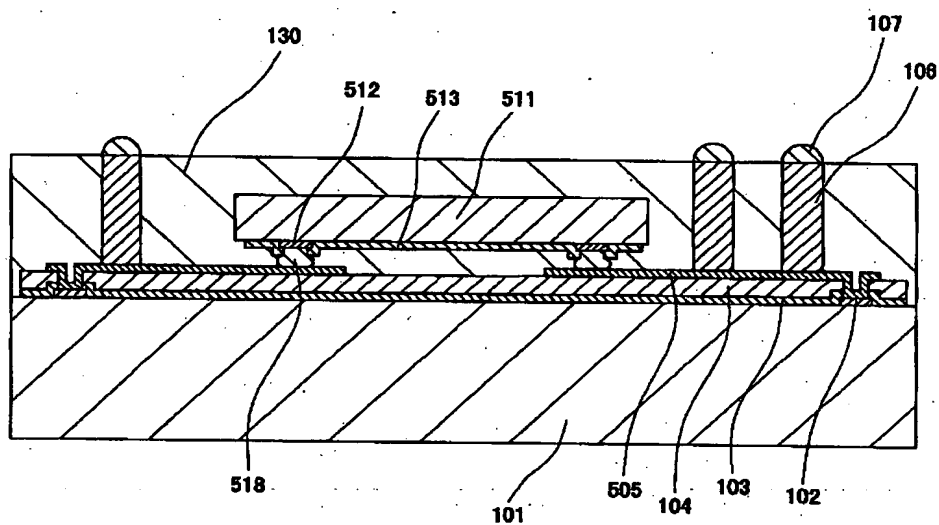
This cross-sectional view shows a central block 112 on a substrate 101. The block 112 is surrounded by a layer 111. On top of the block 112, there are several small structures 113, 114, and 115. To the left and right of the central block, there are vertical pillars 107 and 108. The entire structure is covered by a top layer 130. Other labels include 117, 116, 115, 107, 108, 112, 111, 208, 205, 106, 104, 103, and 102.

This cross-sectional view shows a central core structure (111) with a top layer (112) and a bottom layer (113). The core is surrounded by a peripheral region (101) containing several vertical pillars (102, 103, 104, 105, 106, 107, 108). The pillars are connected to a common horizontal layer (109) at the bottom. The top surface of the core is labeled 114, and the top surface of the peripheral region is labeled 115. The bottom surface of the core is labeled 116, and the bottom surface of the peripheral region is labeled 117. The top surface of the peripheral region is labeled 118. The bottom surface of the peripheral region is labeled 119. The bottom surface of the peripheral region is labeled 120.

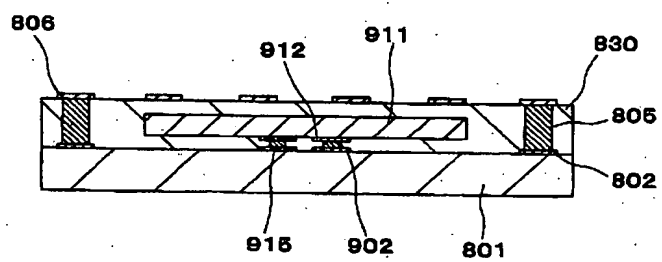
【図4】



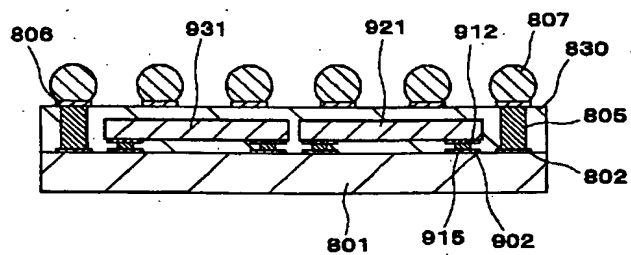
【図5】



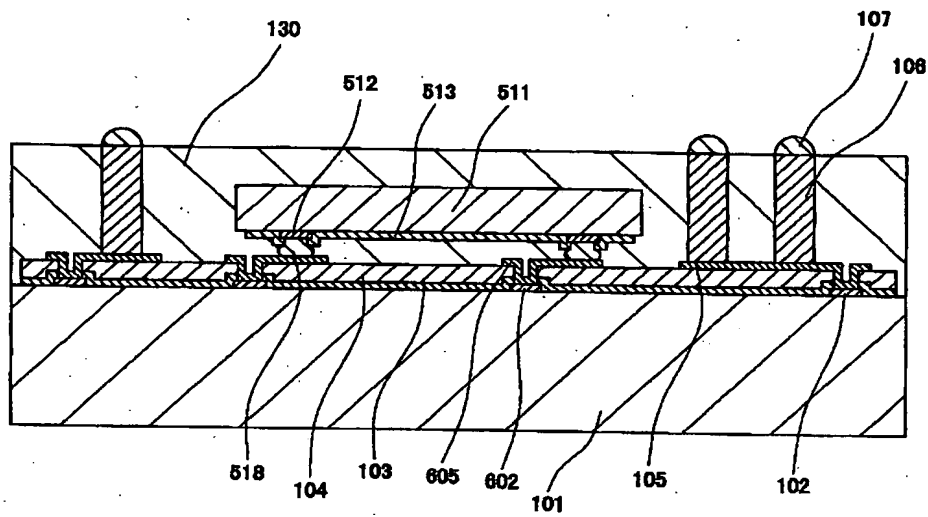
【図13】



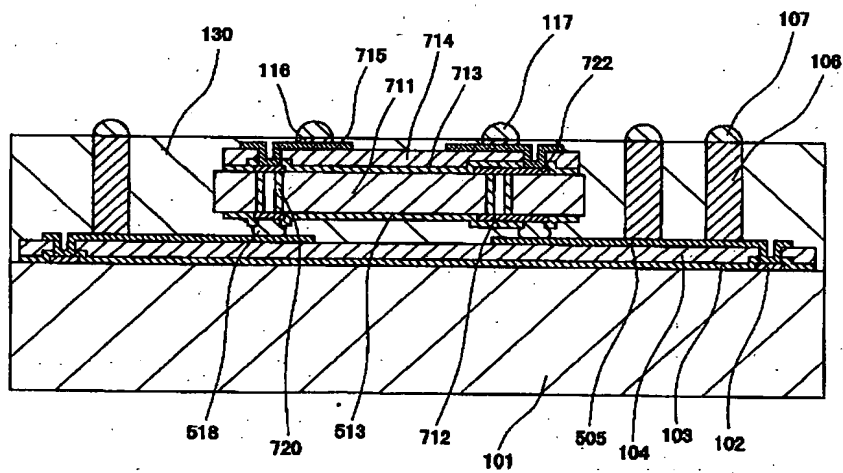
【図14】



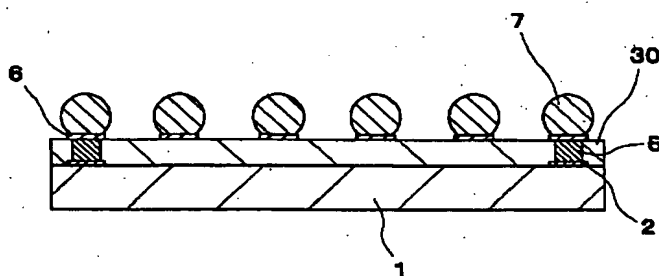
【図6】



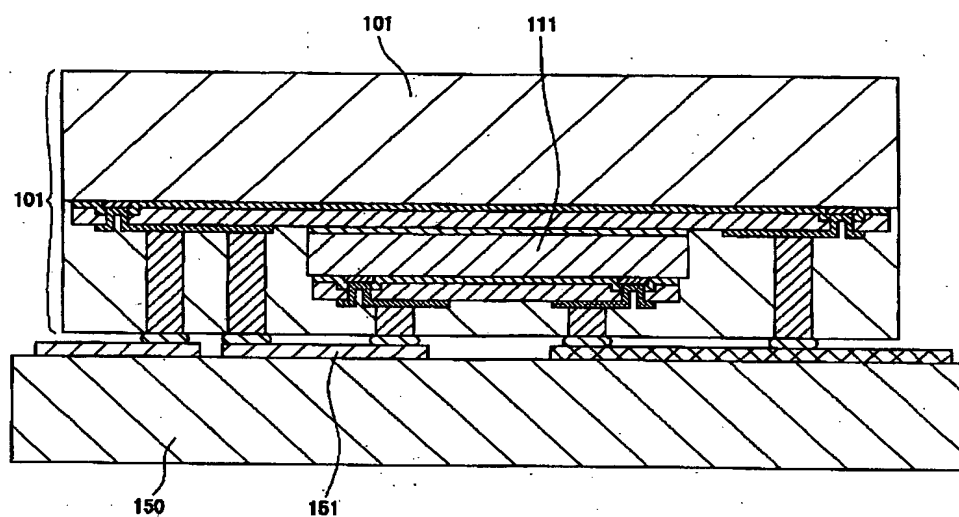
【図7】



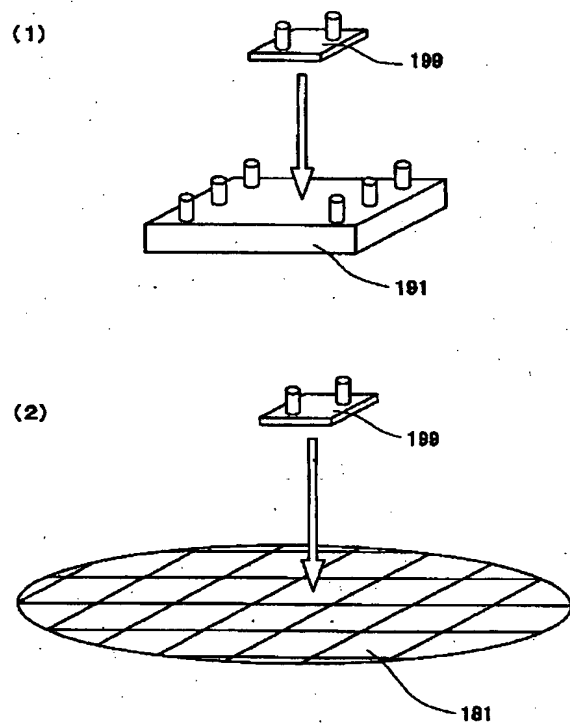
【図17】



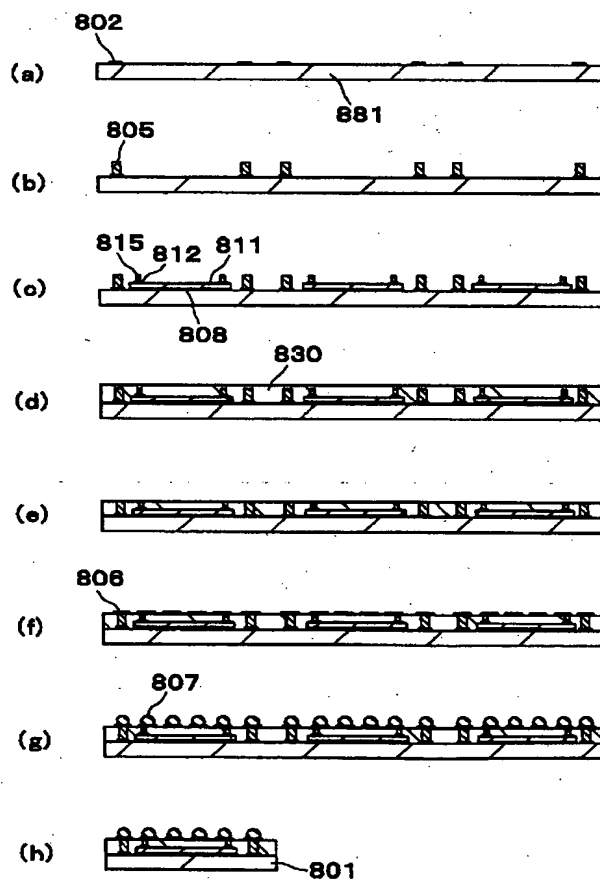
【図8】



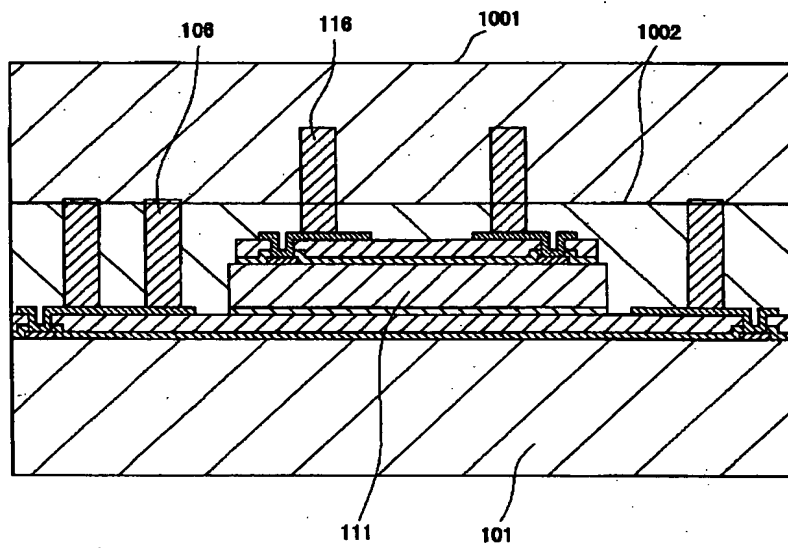
【図9】



【図15】



【図10】



【図16】

